

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-340795

(43)Date of publication of application : 08.12.2000

(51)Int.Cl.

H01L 29/786
H03K 19/0944
H03K 19/20

(21)Application number : 11-146940

(71)Applicant : SONY CORP

(22)Date of filing : 26.05.1999

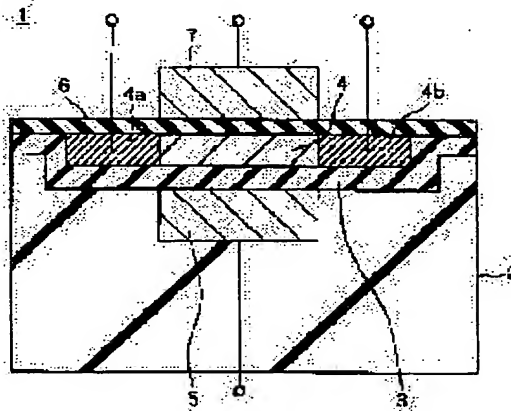
(72)Inventor : MIYAZAWA YOSHIHIRO

(54) SEMICONDUCTOR LOGIC ELEMENT AND LOGIC CIRCUIT USING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the number of elements constituting a logic circuit and the area of the circuit by arranging first and second gate thresholds, such that a semiconductor logic element is turned on, when one of first and second input signals is high and turned off when both input signals are low.

SOLUTION: A semiconductor logic element 1 has a second front-side gate electrode 7 formed at a location which is on a front-side gate insulating film 5 and which is counterposed to a second back-side gate electrode 5. While leaving a resist pattern used as an etching mask for the electrode 7 as is, the element 1 is implanted with ions, thereby doping prescribed impurities into a semiconductor active layer 4. Then, the element 1 is annealed for activation to form source/drain impurity regions 4a and 4b. It is arranged, such that the thresholds of the electrodes 5 and 7 allow the element 1 to be turned on, when one of first and second input signals is high, and to be turned off when both input signals are low.



LEGAL STATUS

[Date of request for examination] 09.02.2006

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

*** NOTICES ***

JPO and NCIPJ are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The semi-conductor layer supported by the substrate, and the source and the drain which separated mutually and were formed in the semi-conductor layer concerned, It is the semi-conductor logical element which has the 1st and 2nd gates which are formed in the field of the both sides of the thickness direction for the semi-conductor layer located between the source concerned and a drain through an insulator layer, respectively, and counter mutually. The threshold of the 2nd gate of the above where the threshold and the 2nd input signal of the 1st gate of the above with which the 1st input signal is impressed are impressed The semi-conductor logical element set up so that the semi-conductor logical element concerned flows when at least one side of the 1st and 2nd input signals is high-level, and the semi-conductor logical element concerned may be un-flowing, when both input signals are low level.

[Claim 2] One threshold of the 1st or 2nd gate of the above is a semi-conductor logical element according to claim 1 set up so that it may become 1/3 or less [of supply voltage], when the signal inputted into the gate of another side takes a low level.

[Claim 3] The semi-conductor layer supported by the substrate, and the source and the drain which separated mutually and were formed in the semi-conductor layer concerned, It is the semi-conductor logical element which has the 1st and 2nd gates which are formed in the field of the both sides of the thickness direction for the semi-conductor layer located between the source concerned and a drain through an insulator layer, respectively, and counter mutually. The threshold of the 2nd gate of the above where the threshold and the 2nd input signal of the 1st gate of the above with which the 1st input signal is impressed are impressed The semi-conductor logical element set up so that the semi-conductor logical element concerned flows when the both sides of the 1st and 2nd input signals are high-level, and the semi-conductor logical element concerned may be un-flowing, when one [at least] input signal is a low level.

[Claim 4] When the threshold of the 1st gate of the above is higher than the high level of the 1st input signal when the potential of the 2nd gate of the above is below the threshold of the 2nd gate concerned, and the 2nd input signal has the high-level potential of the 2nd gate of the above When the threshold of the 1st gate of the above is higher than the low level of the 1st input signal and the potential of the 1st gate of the above is the low level of the 1st input signal It is the semi-conductor logical element according to claim 3 whose threshold of the 2nd gate of the above is 1/3 or less [of supply voltage] when the threshold of the 2nd gate of the above is higher than the high level of the 2nd input signal and the 1st input signal has the high-level potential of the 1st gate of the above.

[Claim 5] The semi-conductor layer supported by the substrate, and the source and the drain which separated mutually and were formed in the semi-conductor layer concerned, It is the semi-conductor logical element which has the 1st and 2nd gates which are formed in the field of the both sides of the thickness direction for the semi-conductor layer located between the source concerned and a drain through an insulator layer, respectively, and counter mutually. The threshold of the 2nd gate of the above where the threshold and the 2nd input signal of the 1st gate of the above with which the 1st input signal is impressed are impressed The semi-conductor logical element set up so that the semi-conductor logical element concerned flows, and the semi-conductor logical element concerned may be un-flowing when both input signals are high-level when at least one side of the 1st and 2nd input signals is a low level.

[Claim 6] One threshold of the 1st or 2nd gate of the above is a semi-conductor logical element according to claim 5 set up so that it may become 1/3 or less [of supply voltage], when the signal inputted into the gate of another side takes high level.

[Claim 7] The semi-conductor layer supported by the substrate, and the source and the drain which separated mutually and were formed in the semi-conductor layer concerned, It is the semi-conductor logical element which has the 1st and 2nd gates which are formed in the field of the both sides of the thickness direction for the semi-conductor layer located between the source concerned and a drain through an insulator layer, respectively, and counter mutually. The threshold of the 2nd gate of the above where the threshold and the 2nd input signal of the 1st gate of the above with which the 1st input signal is impressed are impressed The semi-conductor logical element set up so that the semi-conductor logical element concerned flows, and the semi-conductor logical element concerned may be un-flowing when one [at least] input signal is high-level when the both sides of the 1st and 2nd input signals are a low level.

[Claim 8] When the threshold of the 1st gate of the above is lower than the low level of the 1st input signal

when the potential of the 2nd gate of the above is more than the threshold of the 2nd gate concerned, and the potential of the 2nd gate of the above is the low level of the 2nd input signal When the threshold of the 1st gate of the above is lower than the high level of the 1st input signal and the 1st input signal has the high-level potential of the 1st gate of the above For the threshold of the 2nd gate of the above, the threshold of the 2nd gate of the above is a semi-conductor logical element [higher than one third of supply voltage] according to claim 7, when it is lower than the low level of the 2nd input signal and the potential of the 1st gate of the above is the low level of the 1st input signal.

[Claim 9] The semi-conductor layer supported by the substrate, and the source and the drain which separated mutually and were formed in the semi-conductor layer concerned. It has the semi-conductor logical element which has the 1st and 2nd gates which are formed in the field of the both sides of the thickness direction for the semi-conductor layer located between the source concerned and a drain through an insulator layer, respectively, and counter mutually. The logical circuit where the 1st and 2nd gates of the above of the above-mentioned semi-conductor logical element are connected to the signal input terminal, respectively.

[Claim 10] The threshold of the 2nd gate of the above where the threshold and the 2nd input signal of the 1st gate of the above with which the 1st input signal is impressed are impressed is a logical circuit according to claim 9 set up so that the semi-conductor logical element concerned flows when at least one side of the 1st and 2nd input signals is high-level, and the semi-conductor logical element concerned may be un-flowing, when both input signals are low level.

[Claim 11] The threshold of the 2nd gate of the above where the threshold and the 2nd input signal of the 1st gate of the above with which the 1st input signal is impressed are impressed is a logical circuit according to claim 9 set up so that the semi-conductor logical element concerned flows when the both sides of the 1st and 2nd input signals are high-level, and the semi-conductor logical element concerned may be un-flowing, when one [at least] input signal is a low level.

[Claim 12] The threshold of the 2nd gate of the above where the threshold and the 2nd input signal of the 1st gate of the above with which the 1st input signal is impressed are impressed is a logical circuit according to claim 9 set up so that the semi-conductor logical element concerned flows, and the semi-conductor logical element concerned may be un-flowing when both input signals are high-level when at least one side of the 1st and 2nd input signals is a low level.

[Claim 13] The threshold of the 2nd gate of the above where the threshold and the 2nd input signal of the 1st gate of the above with which the 1st input signal is impressed are impressed is a logical circuit according to claim 9 set up so that the semi-conductor logical element concerned flows, and the semi-conductor logical element concerned may be un-flowing when one [at least] input signal is high-level when the both sides of the 1st and 2nd input signals are a low level.

[Claim 14] The above-mentioned semi-conductor logical element is a logical circuit according to claim 9 which constitutes the arithmetic circuit of an OR independently.

[Claim 15] The above-mentioned semi-conductor logical element is a logical circuit according to claim 9 which constitutes the arithmetic circuit of an AND independently.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the semi-conductor logical element in which the operation of an OR and an AND is possible, and the logical circuit using this with a single component.

[0002]

[Description of the Prior Art] Conventionally, the single gate (single gate) MOSFET constituted the unit logical circuit (logic-gate circuit).

[0003] For example, the NOR-gate circuit shown in drawing 11 (B) consisted of two single gate PMOS transistors Mp1 and Mp2 and two single gate NMOS transistors Mn1 and Mn2. That is, the series connection of the PMOS transistors Mp1 and Mp2 of each other is carried out to the supply line of predetermined bias voltage +VB, and the NMOS transistors Mn1 and Mn2 of each other are connected to juxtaposition between the PMOS transistor Mp2 and touch-down potential. Common connection of the gate of the PMOS transistor Mp1 and the NMOS transistor Mn 1 is made, common connection of the gate of nothing, the PMOS transistor Mp2, and the NMOS transistor Mn 2 is made in the 1st input terminal, and the 2nd input terminal is made. The output is taken out from the drain of the PMOS transistor Mp2.

[0004] Moreover, the NAND gate circuit shown in drawing 12 (B) consisted of two single gate PMOS transistors Mp1 and Mp2 and two single gate NMOS transistors Mn1 and Mn2. That is, the series connection of the NMOS transistors Mn2 and Mn1 of each other is carried out to a touch-down potential line, and the PMOS transistors Mp1 and Mp2 of each other are connected to juxtaposition between the NMOS transistor Mn 1 and the supply line of predetermined bias voltage +VB. Common connection of the gate of the PMOS transistor Mp1 and the NMOS transistor Mn 1 is made, common connection of the gate of nothing, the PMOS transistor Mp2, and the NMOS transistor Mn 2 is made in the 1st input terminal, and the 2nd input terminal is made. The output is taken out from the drain of the NMOS transistor Mn 1.

[0005] By the way, the so-called dual gate (dual gate) The semiconductor device of the structure where two gate electrodes were made to counter the thickness direction both sides of the SOI (Silicon On Insulator, or, Semiconductor On Insulator) layer by which dielectric isolation was carried out to the support substrate as a kind of an MOS transistor through gate dielectric film, respectively is known. This semiconductor device is an adjustable threshold element which can change the threshold of the gate electrode by the side of the front face which countered (front gate) according to the potential of the gate electrode by the side of the support substrate embedded at the insulating layer (backgate).

[0006] When this adjustable threshold element is applied to a logical circuit, it may be inserted between the supply lines of a logical circuit block, supply voltage, or touch-down potential, and may be used. In this case, it is used as a highly efficient switching element for current supply which makes a threshold low at the time of a flow, heightens current drive capacity, makes a threshold high at the time of un-flowing, and can reduce off leakage current. Moreover, by replacing each single gate MOS transistor shown in drawing 11 (B) or drawing 12 (B), even when used for the logical circuit itself, it was used in order to aim at coexistence with improvement in the current drive capacity at the time of actuation, and the leakage current reduction at the time of a cut-off.

[0007]

[Problem(s) to be Solved by the Invention] However, although there was an advantage to which the engine performance of this conventional adjustable threshold element of the component itself improves, since it was not avoided, the advantage of applying to a logical circuit was not so large [that a manufacture process becomes complicated].

[0008] This invention proposes how to the new logical circuit of an adjustable threshold element to use, and, in addition to the improvement in the engine performance, aims at aiming at reduction of the element number of a logical circuit, and contraction of circuit area by this.

[0009]

[Means for Solving the Problem] As for the semi-conductor logical element concerning the 1st viewpoint of this invention, a channel conductivity type is suitably applied to an OR (OR) gate circuit etc. as a component of n mold. Namely, the semi-conductor layer supported by the substrate, and the source and the drain which separated mutually and were formed in the semi-conductor layer concerned. It is the semi-conductor logical element which has the 1st and 2nd gates which are formed in the field of the both sides of the thickness direction for the semi-conductor layer located between the source concerned and a drain through an insulator

layer, respectively, and counter mutually. The threshold of the 2nd gate of the above where the threshold and the 2nd input signal of the 1st gate of the above with which the 1st input signal is impressed are impressed It is set up so that the semi-conductor logical element concerned flows when at least one side of the 1st and 2nd input signals is high-level, and the semi-conductor logical element concerned may be un-flowing, when both input signals are low level. Suitably, when the signal inputted into the gate of another side takes a low level, one threshold of the 1st or 2nd gate of the above is set up so that it may become 1/3 or less [of supply voltage].

[0010] As for the semi-conductor logical element concerning the 2nd viewpoint of this invention, a channel conductivity type is suitably applied to an AND (AND) gate circuit etc. as a component of n mold. Namely, the semi-conductor layer supported by the substrate, and the source and the drain which separated mutually and were formed in the semi-conductor layer concerned, It is the semi-conductor logical element which has the 1st and 2nd gates which are formed in the field of the both sides of the thickness direction for the semi-conductor layer located between the source concerned and a drain through an insulator layer, respectively, and counter mutually. The threshold of the 2nd gate of the above where the threshold and the 2nd input signal of the 1st gate of the above with which the 1st input signal is impressed are impressed It is set up so that the semi-conductor logical element concerned flows when the both sides of the 1st and 2nd input signals are high-level, and the semi-conductor logical element concerned may be un-flowing, when one [at least] input signal is a low level. Suitably, when the potential of the 2nd gate of the above is below the threshold of the 2nd gate concerned When the threshold of the 1st gate of the above is higher than the high level of the 1st input signal and the 2nd input signal has the high-level potential of the 2nd gate of the above When the threshold of the 1st gate of the above is higher than the low level of the 1st input signal and the potential of the 1st gate of the above is the low level of the 1st input signal When the threshold of the 2nd gate of the above is higher than the high level of the 2nd input signal and the 1st input signal has the high-level potential of the 1st gate of the above, the threshold of the 2nd gate of the above is 1/3 or less [of supply voltage].

[0011] As for the semi-conductor logical element concerning the 3rd viewpoint of this invention, a channel conductivity type is suitably applied to an OR (OR) gate circuit etc. as a component of p mold. Namely, the semi-conductor layer supported by the substrate, and the source and the drain which separated mutually and were formed in the semi-conductor layer concerned, It is the semi-conductor logical element which has the 1st and 2nd gates which are formed in the field of the both sides of the thickness direction for the semi-conductor layer located between the source concerned and a drain through an insulator layer, respectively, and counter mutually. The threshold of the 2nd gate of the above where the threshold and the 2nd input signal of the 1st gate of the above with which the 1st input signal is impressed are impressed When at least one side of the 1st and 2nd input signals is a low level, it is set up so that the semi-conductor logical element concerned flows, and the semi-conductor logical element concerned may be un-flowing, when both input signals are high-level. Suitably, when the signal inputted into the gate of another side takes high level, one threshold of the 1st or 2nd gate of the above is set up so that it may become 1/3 or less [of supply voltage].

[0012] As for the semi-conductor logical element concerning the 4th viewpoint of this invention, a channel conductivity type is suitably applied to an AND (AND) gate circuit etc. as a component of p mold. Namely, the semi-conductor layer supported by the substrate, and the source and the drain which separated mutually and were formed in the semi-conductor layer concerned, It is the semi-conductor logical element which has the 1st and 2nd gates which are formed in the field of the both sides of the thickness direction for the semi-conductor layer located between the source concerned and a drain through an insulator layer, respectively, and counter mutually. The threshold of the 2nd gate of the above where the threshold and the 2nd input signal of the 1st gate of the above with which the 1st input signal is impressed are impressed When the both sides of the 1st and 2nd input signals are a low level, it is set up so that the semi-conductor logical element concerned flows, and the semi-conductor logical element concerned may be un-flowing, when one [at least] input signal is high-level. Suitably, when the potential of the 2nd gate of the above is more than the threshold of the 2nd gate concerned When the threshold of the 1st gate of the above is lower than the low level of the 1st input signal and the potential of the 2nd gate of the above is the low level of the 2nd input signal When the threshold of the 1st gate of the above is lower than the high level of the 1st input signal and the 1st input signal has the high-level potential of the 1st gate of the above The threshold of the 2nd gate of the above is lower than the low level of the 2nd input signal, and when the potential of the 1st gate of the above is the low level of the 1st input signal, the threshold of the 2nd gate of the above is higher than one third of supply voltage.

[0013] In the semi-conductor logical element concerning said 1st and 3rd viewpoints, only when both the input signals impressed to both gates are inactive level so that the threshold of said 1st and 2nd gates may become the same and, the structure parameter is set up so that a component may not flow. Therefore, the OR-gate circuit considered as two inputs can constitute the 1st and 2nd gates from an independent component. Moreover, a threshold falls at the time of a flow, current drive capacity improves, a threshold improves at the time of un-flowing, and off leakage current is reduced.

[0014] In the semi-conductor logical element concerning the 2nd and the 3rd, the structure parameter is set up so that a component does not flow only by the change width of face of the threshold of said 1st and 2nd gates having differed, and impressing the activity level of an input signal to gate of one of the two, but it may flow, only when both gates are activity level. [said] Therefore, the AND-gate circuit considered as two inputs

can constitute the 1st and 2nd gates from an independent component. Moreover, a threshold falls at the time of a flow, current drive capacity improves, a threshold improves at the time of un-flowing, and off leakage current is reduced.

[0015] The source and the drain which left the logical circuit concerning this invention mutually in the semi-conductor layer supported by the substrate and the semi-conductor layer concerned, and were formed, It has the semi-conductor logical element which has the 1st and 2nd gates which are formed in the field of the both sides of the thickness direction for the semi-conductor layer located between the source concerned and a drain through an insulator layer, respectively, and counter mutually. The 1st and 2nd gates of the above of the above-mentioned semi-conductor logical element are connected to the signal input terminal, respectively. Suitably, the above-mentioned semi-conductor logical element is in any of the semi-conductor logical element of four viewpoints mentioned above.

[0016]

[Embodiment of the Invention] Drawing 1 is drawing showing the circuit notation of the semi-conductor logical element concerning the operation gestalt of this invention. The semi-conductor logical element concerning this operation gestalt is the dual gate (dual gate) which has the two gates, and the common source and a common drain. It is the insulated-gate field-effect transistor of a mold. The conductivity type of a channel of the semi-conductor logical elements NMOS1 and NMOS3 shown in drawing 1 (A) and (C) is an n mold. Moreover, the conductivity type of a channel of the semi-conductor logical elements PMOS2 and PMOS4 shown in drawing 1 (B) and (D) is a p mold.

[0017] Among these, the semi-conductor logical elements NMOS1 and PMOS2 shown in drawing 1 (A) and (B) are with the case where one [** and] gate is used as a control terminal, and the case where the gate of another side is used as a control terminal, have a threshold and a property with the symmetrical method of the change, and call them "the logical element of a symmetry mold" hereafter. This operation gestalt constitutes the OR gate for calculating an OR from this symmetry type of one logical element.

[0018] On the other hand, the semi-conductor logical elements NMOS2 and PMOS4 shown in drawing 1 (C) and (D) are with the case where one gate is used as a control terminal, and the case where the gate of another side is used as a control terminal, have a threshold and a property with the unsymmetrical method of the change, and call them "the logical element of an asymmetrical type" hereafter. With this operation gestalt, although mentioned later for details, this asymmetry is realized by preparing a thickness difference in the gate dielectric film which intervenes between two gate electrodes and semi-conductor barrier layers. On a circuit notation, gate dielectric film attached the slash to the thicker side, and it has distinguished from the logical element of a symmetry mold. This operation gestalt constitutes the AND gate for calculating an AND from one logical element of this asymmetrical type.

[0019] A sectional view shows the structure of the semi-conductor logical element concerning this operation gestalt by making the logical element of an asymmetrical type into an example at drawing 2. Although especially the insulating layer 2 does not illustrate in the logical element 1 shown in drawing 2, it is formed through the glue line on the support substrate. On the insulating layer 2, the semi-conductor barrier layer 4 is formed through rear-face gate dielectric film 3. The semi-conductor barrier layer 4 consists of single crystal silicon whose thickness is about 25nm, and the impurity which has a conductivity type contrary to a channel conductivity type is comparatively introduced into low concentration. The rear-face gate electrode 5 is embedded in the insulating layer 2. Moreover, the surface gate electrode 7 is formed in the front-face side of the semi-conductor barrier layer 4 through surface gate dielectric film 6. The rear-face gate electrode 5 and the surface gate electrode 7 are doped polysilicon (doped polycrystalline silicon). Or it consisted of doped metal silicide (doped metal silicide), and has countered mutually through the semi-conductor barrier layer 4 and gate dielectric film 3 and 6. Gate dielectric film 3 and 6 consists of silicon oxide or nitriding silicon oxide. The thickness of about 10nm and surface gate dielectric film 6 of the thickness of rear-face gate dielectric film 3 is about 5nm.

[0020] The impurity of the same conductivity type as a channel is introduced into high concentration in comparison, and, thereby, source impurity range 4a and drain impurity range 4b are formed in the semi-conductor barrier layer part outside the gate electrodes 5 and 7. The source terminal or the drain terminal is pulled out on component external surface from these source drain impurity ranges 4a and 4b by the conductive layer which is not illustrated, respectively. Moreover, the 1st signal input terminal is pulled out for the 2nd input signal terminal on component external surface from the surface gate electrode 7 from the rear-face gate electrode 5, respectively.

[0021] Drawing 3 - drawing 9 are the sectional views in the manufacture process of a semi-conductor logical element. In drawing 3, heights 10a which becomes a semi-conductor barrier layer about this later by etching the front face of the ground substrate 10 into a mask (for example, RIE (Reactive Ion Etching)) is formed by preparing the ground substrate 10 which consists of a single crystal silicon wafer etc., and forming a resist pattern R1 on it. The level difference of heights 10a is set to about 25nm.

[0022] In drawing 4, about 10nm of rear-face gate dielectric film 3 which consists of silicon oxide is formed in the front face of the field in which heights 10a of the ground substrate 10 was formed by the oxidizing [thermally] method after removing a resist pattern R1. This thermal oxidation uses the vertical mold oxidation furnace of ordinary pressure, and is introductory gas H₂. : It carries out on 950-degree C conditions whenever [O₂ =1:1 and furnace temperature].

[0023] In drawing 5, the doped polysilicon used as a rear-face gate electrode or about 150nm (doped WSiX) of doped tungsten silicide are deposited. The resist pattern which is not illustrated on the film used as this rear-face gate electrode is formed, and the substrate film is etched into a mask for this (for example, RIE). Thereby, the rear-face gate electrode 5 is formed through rear-face gate dielectric film 3 on heights 10a of the ground substrate 10.

[0024] In drawing 6, the insulating layer 2 which consists of silicon oxide is deposited comparatively thickly, and the rear-face gate electrode 5 is embedded into an insulating layer. Moreover, for example, polish recon is deposited on an insulating layer 2, and a glue line 11 is formed by grinding a front face.

[0025] In drawing 7, from the flattening side side of a glue line 11, the ground substrate 10 is made to rival the support substrate 20 which consists of a silicon wafer prepared beforehand, and is heat-treated. Heat treatment at this time is performed on condition that 1100 degrees C and 60min within the electric furnace for example, in an oxygen ambient atmosphere.

[0026] Thus, after performing edge grinding (edge grinding) to the formed lamination SOI substrate, further, from the rear-face side of the ground substrate 10, grinding is carried out and it grinds (for example, it carries out CMP (Chemical Mechanical Polishing)). In CMP, when rear-face gate dielectric film 3 expresses among heights 10a of the ground substrate 10, this functions as a stopper. Therefore, henceforth, polish will not not much progress and the terminal point of polish is detected. Heights 10a of the ground substrate 10 is mutually separated by this selection polish. Then, initial-complement installation of the predetermined impurity is carried out with ion-implantation to this separated heights 10a. When a PMOS transistor and an NMOS transistor are intermingled, it divides by a different ion kind striking by repeating resist pattern formation and an ion implantation twice at this time. Of subsequent activation annealing, as shown in drawing 8, the semi-conductor barrier layer 4 is formed.

[0027] In drawing 9, the front face of the semi-conductor barrier layer 4 is oxidized thermally, and surface gate dielectric film 6 with a thickness of about 5nm is formed. On surface gate dielectric film 6, the doped polysilicon used as a surface gate electrode or about 150nm of doped tungsten silicide are deposited. The resist pattern which is not illustrated on the film used as this surface gate electrode is formed, and the substrate film is etched into a mask for this (for example, RIE). Thereby, the surface gate electrode 7 is formed in the rear-face gate electrode 5 on surface gate dielectric film 6, and the location which counters.

[0028] After performing an ion implantation, with the resist pattern left used as an etching mask of a surface gate electrode and introducing a predetermined impurity in the semi-conductor barrier layer 4 after that, activation annealing is performed and the source drain impurity ranges 4a and 4b shown in drawing 1 are formed. Moreover, about 500nm of protection oxide films which are not illustrated is deposited, for example, the conductive layer for an electrode drawer is formed suitably, and, thereby, the semi-conductor logical element 1 concerned is completed.

[0029] In addition, this invention can apply the rear-face gate as shows an example of cross-section structure to drawing 10 also to the semiconductor device used as the so-called bulk mold. That is, in drawing 10, the well 31 by which the pn junction was carried out to the semi-conductor substrate 30 is formed in a substrate front face, ohmic contact of the electrode 32 is carried out on a well 31, and the threshold of the transistor which uses the surface gate electrode 7 as a control electrode is controlled according to the electrical-potential-difference value of the input signal impressed to an electrode 32. Moreover, in the isolation construction of the SOI mold of drawing 2, the source drain impurity ranges 4a and 4b are formed from the front face of the semi-conductor barrier layer 4 to the thickness middle, and it replaces with the rear-face gate electrode embedded in the insulating layer, and on the semi-conductor barrier layer 4, ohmic contact of the electrode may be carried out and this electrode may be used as 2nd signal input electrode.

[0030] However, since the reactive current flows in the control electrode of these ohmic contact mold, and power consumption becomes large and a channel controllability is also inferior, the rear-face gate electrode 5 of an insulated-gate mold like drawing 2 as 2nd signal input electrode is desirable. moreover — although a partial depletion mold is also possible depending on component parameters, such as semi-conductor barrier layer thickness, even if it is the rear-face gate electrode 5 of an insulated-gate mold — a channel — direct and electric field — it is controllable and the perfect depletion mold which the thickness whole region of a semi-conductor barrier layer is depletion-ized [mold], and operates it at the point that a controllability is high is desirable.

[0031] Below, setups, such as a threshold, are explained by making the logical element of a perfect depletion mold into an example. The threshold of dual gate MOS FET of a perfect depletion mold is expressed with a degree type (1) and (2).

[0032]

[Equation 1]

$$V_{th} = \phi_s - V_{FB} + \frac{1}{C_{ox} \left(\frac{1}{C_{si}} + \frac{1}{C_{oxb}} \right)} \left\{ \phi_s - (V_{gb} + V_{FBb}) + \frac{Q_{si}}{C_{oxb}} + \frac{Q_{si}}{2C_{si}} \right\}$$

$$= \phi_s - V_{FB} + \frac{T_{ox}}{0.333T_{si} + T_{oxb}} \left\{ \phi_s - (V_{gb} + V_{FBb}) + \frac{Q_{si}}{C_{oxb}} + \frac{Q_{si}}{2C_{si}} \right\} \dots (1)$$

[Equation 2]

$$V_{thb} = \phi_{sb} - V_{FBb} + \frac{1}{C_{oxb} \left(\frac{1}{C_{si}} + \frac{1}{C_{ox}} \right)} \left\{ \phi_{sb} - (V_g + V_{FB}) + \frac{Q_{si}}{C_{ox}} + \frac{Q_{si}}{2C_{si}} \right\}$$

$$= \phi_{sb} - V_{FBb} + \frac{T_{oxb}}{0.333T_{si} + T_{ox}} \left\{ \phi_{sb} - (V_g + V_{FB}) + \frac{Q_{si}}{C_{ox}} + \frac{Q_{si}}{2C_{si}} \right\} \dots (2)$$

[0033] Here, it is ϕ_s , ϕ_{sb} Surface potential and rear-face potential of a silicon barrier layer (semiconductor barrier layer 4), V_{FB} and V_{FBb} Flat band voltage of the front face and rear face of a silicon barrier layer, C_{ox} , C_{oxb} , and C_{si} are the surface gate, respectively, the rear-face gate or capacity of a silicon barrier layer, T_{ox} , T_{oxb} , and T_{si} , respectively Surface gate oxide (surface gate dielectric film 6), rear-face gate oxide (rear-face gate dielectric film 3), the thickness of a silicon barrier layer, Q_{si} is the amount of impurities in a silicon barrier layer, and V_g , V_{gb} is the applied voltage of a surface gate electrode and a rear-face gate electrode, and V_{th} and V_{thb} . The threshold of the surface channel MOSFET and the rear-face channel MOSFET is shown, respectively.

[0034] Variation ΔV_{th} of the threshold of the surface channel MOSFET to variation ΔV_{gb} of the applied voltage from the above-mentioned formula (1) and a formula (2) to a rear-face gate electrode is variation ΔV_g of the applied voltage to a surface gate electrode by the degree type (3). Receiving variation ΔV_{thb} of the threshold of the rear-face channel MOSFET It is expressed by the degree type (4), respectively.

[0035]

[Equation 3]

$$\Delta V_{th} = - \frac{T_{ox}}{0.333T_{si} + T_{oxb}} \Delta V_{gb} \dots (3)$$

[Equation 4]

$$\Delta V_{thb} = - \frac{T_{oxb}}{0.333T_{si} + T_{ox}} \Delta V_g \dots (4)$$

[0036] By being able to set at a ceremony (4) and being [come and], the rate of a value change can be set at a ceremony (3), and it comes, it is, it sets to the rate of a value change, and they are the surface gate-dielectric-film thickness T_{ox} and the rear-face gate-dielectric-film thickness T_{oxb} . It is obtained by changing. Therefore, the logical element of a symmetry mold is realizable by making both gate-dielectric-film thickness the same.

[0037] on the other hand — for example, the logical element for calculating an AND (AND) is unrealizable if both gate-dielectric-film thickness is the same.

[0038] If the electrical-potential-difference value of the input signal impressed to the gate electrode of one MOSFET is the level which turns off a channel in order to realize the function of the AND gate using the logical element of an asymmetrical type, it is required not to always form a channel irrespective of the electrical-potential-difference value of the input signal for turning on and turning off the channel of MOSFET of another side. Therefore, it is necessary to make variation of the threshold of MOSFET larger enough than the variation of the threshold of MOSFET of another side to the gate applied voltage of one MOSFET as opposed to the gate applied voltage of MOSFET of another side. Consequently, it becomes requirements to set up more greatly the gate-dielectric-film thickness of MOSFET of another side which wants to enlarge variation of a threshold. In dual gate MOS FET 1 of the structure shown in drawing 2, thin film-ization sets up more thickly the rear-face gate dielectric film 3 by the side of the difficult embedding gate under the effect of heating at the time of substrate lamination, and it is referred to as $T_{oxb} > T_{ox}$.

[0039] When the high level of an input signal is set into supply voltage V_{DD} and a low level is now set to touch-down potential $0V$, the conditions of the threshold of the rear-face channel MOSFET are a degree type (5-1). It reaches (5-2). It is expressed. Moreover, the conditions of the threshold of the surface channel MOSFET are expressed with a degree type (5-3).

[0040]

[Equation 5]

$$V_{thb0} > V_{DD} \quad \dots(5-1)$$

$$V_{thb} = (0.2 \sim 0.3) V_{DD} \quad \dots(5-2)$$

$$\text{at } V_g = V_{DD}$$

$$V_{th} > V_{DD} \quad \dots(5-3)$$

[0041] Here, suffix "0" shows that the applied voltage of the gate which counters is 0V. In addition, the above-mentioned formula (5-2) From a viewpoint of current drive capacity and off leakage current, the range where the threshold at the time of actuation of the rear-face channel MOSFET is the optimal is specified.

[0042] Rear-face gate-dielectric-film thickness T_{oxb} when 25nm and the surface gate-dielectric-film thickness T_{ox} set [the silicon barrier layer thickness T_{si}] to 5nm concretely hereafter And it asks for the optimal range of the initial threshold of the surface channel MOSFET. Rate of change [in / the threshold rate of change of the rear-face channel MOSFET is now set to 0.7-0.8V, and / the above-mentioned formula (4)] to rear-face gate-dielectric-film thickness T_{oxb} If it asks, it will become like a degree type (6).

[0043]

[Equation 6]

$$T_{oxb} / (0.333 \times T_{si} + T_{ox})$$

$$= T_{oxb} / (0.333 \times 25 + 5)$$

$$= 0.7 \sim 0.8$$

$$T_{oxb} = 9.3 \sim 10.7 \quad \dots (6)$$

$$(\approx 2 T_{ox})$$

[0044] This T_{oxb} If a value is assigned to the rate of change in the above-mentioned formula (3), the range of the threshold rate of change of the surface channel MOSFET can be found like a degree type (7).

[0045]

[Equation 7]

$$T_{ox} / (0.333 \times T_{si} + T_{oxb})$$

$$= 5 / (8.325 + 10.7) - 5 / (8.325 + 9.3)$$

$$= 0.26 \sim 0.28 \quad \dots (7)$$

[0046] said formula (5-2) carried out And formula (5-3) if it uses, relational expression will obtain about the threshold V_{th} of the surface channel MOSFET — having — this — initial threshold V_{th0} — if it collects, a degree type (8) can be found.

[0047]

[Equation 8]

$$V_{th} = V_{th0} - (0.26 \sim 0.28) \times (0.2 \sim 0.3) \times V_{DD} > V_{DD} = V_{th0} - (0.052 \sim 0.084) \times V_{DD} > V_{DD} \quad V_{th0} > (1.06 \sim 1.09) \times V_{DD} \quad \dots (8)$$

[0048] Gate-dielectric-film thickness and silicon barrier layer thickness are collectively shown in Table 1 about the logical element of a symmetry mold and an asymmetrical type. moreover, the high impurity concentration of the silicon barrier layer in which a channel is formed — a p channel mold and an n channel mold — $5 \times 10^{14} / \text{cm}^3$ it is — the gate electrode material was made into doped polysilicon or doped metal silicide. The shift amount of the Fermi level by the gate electrode material and impurity addition is collectively shown in degree table 2.

[0049]

[Table 1]

| | T_{ox} | T_{si} | T_{oxb} |
|-----------|----------|----------|-----------|
| 対称型の論理素子 | 5 nm | 25 nm | 5 nm |
| 非対称型の論理素子 | 5 nm | 25 nm | 10 nm |

[Table 2]

| | | Front Gate | | Back Gate | |
|----------|------|------------------------|---------|----------------|----------|
| | | 材料 | シフト量 | 材料 | シフト量 |
| N-MOSFET | 対称型 | Metal Silicide | n側へ0.2V | 同左 | |
| | 非対称型 | P ⁺ Poly-Si | p側へ0.6V | Metal Silicide | n側へ0.15V |
| P-MOSFET | 対称型 | Metal Silicide | p側へ0.2V | 同左 | |
| | 非対称型 | N ⁺ Poly-Si | n側へ0.6V | Metal Silicide | p側へ0.15V |

[0050] When supply voltage V_{DD} is set to 1V, the threshold of the logical element (dual gate MOS FET) of the symmetry mold produced under such conditions is summarized in degree table 3, the threshold of the logical

element of an asymmetrical type is summarized in degree table 4, and it is shown.

[0051]

[Table 3]

| | 条 件 | NMOSFET | PMOSFET |
|-------------------|-------------------------------------|---------|---------|
| V _{th0} | V _{gb} = 0V | 0.29V | -0.29V |
| V _{th} | V _{gb} = V _{thb0} | 0.18V | -0.18V |
| V _{th} | V _{gb} = V _{thb} | 0.24V | -0.21V |
| V _{thb0} | V _g = 0V | 0.29V | -0.29V |
| V _{thb} | V _g = V _{th0} | 0.18V | -0.18V |
| V _{thb} | V _g = V _{th} | 0.24V | -0.21V |

[Table 4]

| | 条 件 | NMOSFET | PMOSFET |
|-------------------|------------------------------------|---------|---------|
| V _{th0} | V _{gb} = 0V | 1.08V | -1.08V |
| V _{th} | V _{gb} = V _{dd} | 0.81V | -0.81V |
| V _{th} | V _{gb} = V _{thb} | 1.01V | -1.01V |
| V _{thb0} | V _g = 0V | 1.02V | -1.02V |
| V _{thb} | V _g = V _{dd} | 0.27V | -0.27V |

[0052] If NMOSFET is explained for logic actuation of the logical element of the symmetry mold shown in Table 3 as an example, if the low level of an input signal is set to touch-down potential 0V and high level is set to 0.18V, when both two input signals are low level, both a front face and a rear-face channel are turned off, for example. Moreover, when a low level and another side have one of high-level input signals, only the channel of the direction where a low level was impressed to the gate is turned on. Furthermore, only a surface channel is turned on when both input signals of both are high-level. Therefore, if un-flowing and one of the two also take high level only when both input signals of both are low level, it is flowed and, thereby, the OR gate can be realized. In this case, it is the initial threshold V_{th0} at NMOSFET of Table 3. 50mV of V_{th}(s) at the time of actuation differs, and off leakage current is reduced by 0.5 or more figures.

[0053] On the other hand, in the logical element of the asymmetrical type shown in Table 4, if the low level of an input signal is made to touch-down potential 0V and high level is made into supply voltage V_{DD} (1V) in NMOSFET, for example, when both two input signals are low level, both a front face and a rear-face channel are turned off, and when [both] high-level, both channels both turn on. Moreover, when a low level and another side have one of high-level input signals, both channels serve as as [OFF]. Therefore, if it flows only when both input signals of both are high-level, and one of the two also takes a low level, it is un-flowing and, thereby, the AND gate can be realized. In this case, since the initial threshold V_{th0} and large V_{thb0} can be taken, off leakage current is reduced by large width of face of 7 or more figures.

[0054] The NOR-gate circuit shown with the circuit notation of drawing 11 (A) consisted of two PMOS transistors Mp1 and Mp2 and two NMOS transistors Mn1 and Mn2 at the former, as shown in drawing 11 (B). That is, the series connection of the PMOS transistors Mp1 and Mp2 of each other is carried out to the supply line of predetermined bias voltage +VB, and the NMOS transistors Mn1 and Mn2 of each other are connected to juxtaposition between the PMOS transistor Mp2 and touch-down potential. Common connection of the gate of the PMOS transistor Mp1 and the NMOS transistor Mn 1 is made, common connection of the gate of nothing, the PMOS transistor Mp2, and the NMOS transistor Mn 2 is made in the 1st input terminal, and the 2nd input terminal is made. The output is taken out from the drain of the PMOS transistor Mp2.

[0055] This operation gestalt constitutes the circuit of the same function from two elements, the dual gate PMOS transistor PMOS 4 (drawing 1 (D)) and the dual gate NMOS transistor NMOS 1 (drawing 1 (A)). That is, series connection of the dual gate PMOS transistor PMOS 4 of an asymmetrical type and the dual gate NMOS transistor NMOS 1 of a symmetrical mold is carried out between the supply line of predetermined bias voltage +VB, and touch-down potential, for example, common connection of the surface gate electrodes is made, it considers as the 1st input terminal, common connection of the rear-face gate electrodes is made, and it is considering as the 2nd input terminal. The output has been obtained from the connection middle point of a dual gate MOS transistor.

[0056] The NAND gate circuit shown with the circuit notation of drawing 12 (A) consisted of two PMOS transistors Mp1 and Mp2 and two NMOS transistors Mn1 and Mn2 at the former, as shown in drawing 12 (B). That is, the series connection of the NMOS transistors Mn2 and Mn1 of each other is carried out to a touch-down potential line, and the PMOS transistors Mp1 and Mp2 of each other are connected to juxtaposition between the NMOS transistor Mn 1 and the supply line of predetermined bias voltage +VB. Common connection of the gate of the PMOS transistor Mp1 and the NMOS transistor Mn 1 is made, common connection of the gate of nothing, the PMOS transistor Mp2, and the NMOS transistor Mn 2 is made in the 1st input terminal, and the 2nd input terminal is made. The output is taken out from the drain of the NMOS

transistor Mn 1.

[0057] This operation gestalt constitutes the circuit of the same function from two elements, the dual gate PMOS transistor PMOS 2 (drawing 1 (B)) and the dual gate NMOS transistor NMOS 3 (drawing 1 (C)). That is, series connection of the dual gate PMOS transistor PMOS 2 of a symmetry mold and the dual gate NMOS transistor NMOS 3 of an asymmetrical type is carried out between the supply line of predetermined bias voltage +VB, and touch-down potential, for example, common connection of the surface gate electrodes is made, it considers as the 1st input terminal, common connection of the rear-face gate electrodes is made, and it is considering as the 2nd input terminal. The output has been obtained from the connection middle point of a dual gate MOS transistor.

[0058] The logical circuit of such a configuration may be a multi-input logic gate besides an XOR gate. When the number of inputs is even, an element number is halved compared with the former. Moreover, when the number of inputs is odd, an element number is reduced by (the moiety +1) compared with the former. Circuit monopoly area can be mostly reduced by half compared with the former by embedding a rear-face gate electrode in the case of which, and considering as a type. With such an advantage, without adding modification to the conventional circuit engineering, reduction of the element number which constitutes a logical circuit can be performed, and high integration becomes possible. Moreover, reduction of off leakage current can be performed with an adjustable threshold property, without adding an addition circuit.

[0059]

[Effect of the Invention] According to the semi-conductor logical element and logical circuit concerning this invention, basic logic gates, such as the OR gate which consisted of two elements conventionally, or the AND gate, can be replaced by the single adjustable threshold element, and an element number is reduced so much. Moreover, circuit monopoly area is also reduced sharply and the improvement in a degree of integration of a logical circuit is attained easily. Since the current drive capacity of each transistor improves and off leakage current is reduced, the circuit property itself improves.

[Translation done.]

* NOTICES *

JPO and NCIPJ are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is drawing showing the circuit notation of the semi-conductor logical element concerning the operation gestalt of this invention.

[Drawing 2] It is the sectional view showing the structure of the semi-conductor logical element which starts this operation gestalt by making the logical element of an asymmetrical type into an example.

[Drawing 3] In manufacture of a semi-conductor logical element, it is the sectional view showing the heights formation back of a ground substrate.

[Drawing 4] It is the sectional view following drawing 3 showing the formation back of rear-face gate dielectric film.

[Drawing 5] It is the sectional view following drawing 4 showing the formation back of a rear-face gate electrode.

[Drawing 6] It is the sectional view following drawing 5 showing the flattening back of a glue line.

[Drawing 7] It is the sectional view following drawing 6 showing the substrate lamination back.

[Drawing 8] It is the sectional view following drawing 7 showing the polish back of a ground substrate.

[Drawing 9] It is the sectional view following drawing 8 showing the formation back of a surface gate electrode.

[Drawing 10] It is the sectional view of the semiconductor device which used the rear-face gate as the so-called bulk mold showing other examples of structure which can apply this invention.

[Drawing 11] It is drawing showing the notation and configuration of a NOR-gate circuit of this invention with the configuration of a circuit conventionally.

[Drawing 12] It is drawing showing the notation and configuration of a NAND gate circuit of this invention with the configuration of a circuit conventionally.

[Description of Notations]

1 — A dual gate MOS transistor (semi-conductor logical element), 2 — A ground substrate, 3 — Rear-face gate dielectric film, 4 — A silicon barrier layer (semi-conductor barrier layer), 4a, 31a — Source impurity range, 4b, 31b — A drain impurity range, 5 — A rear-face gate electrode, 6 — Surface gate dielectric film, 7 — A glue line, 20 / — A support substrate, 30 / — A semi-conductor substrate, 31 / — A well, 32 / — An electrode, NMOS1, PMOS2 / — The logical element of a symmetry mold, NMOS3, PMOS4 / — The logical element of an asymmetrical type R1 / — Resist pattern.] — A surface gate electrode, 10 — A ground substrate, 10a — Heights, 11

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-340795
(P2000-340795A)

(43) 公開日 平成12年12月8日 (2000. 12. 8)

| (51) Int.Cl. ⁷ | 識別記号 | F I | テーマコード (参考) |
|---------------------------|------|---------------|-------------------|
| H 0 1 L 29/786 | | H 0 1 L 29/78 | 6 1 7 N 5 F 1 1 0 |
| H 0 3 K 19/0944 | | H 0 3 K 19/20 | 5 J 0 4 2 |
| 19/20 | | 19/094 | A 5 J 0 5 6 |

審査請求 未請求 請求項の数15 O L (全 12 頁)

(21) 出願番号 特願平11-146940

(22) 出願日 平成11年5月26日 (1999. 5. 26)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 宮沢 芳宏

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 100094053

弁理士 佐藤 隆久

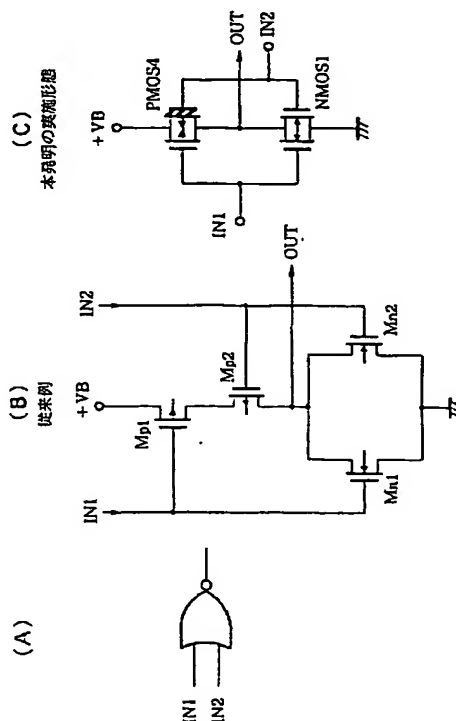
最終頁に続く

(54) 【発明の名称】 半導体論理素子およびそれを用いた論理回路

(57) 【要約】

【課題】 論理回路の素子数削減と面積縮小が可能な、可変しきい値素子の新しい用い方を提案する。

【解決手段】 基板に支持された半導体層と、互いに離れて形成されたソースおよびドレインと、当該ソースおよびドレイン間に位置する半導体層部分の厚さ方向の両側の面にそれぞれ絶縁膜を介して形成され互いに対向する第1および第2ゲートとを有する。第1および第2ゲートのしきい値は、単独でORゲートを構成させる場合、その少なくとも一方の電位が入力信号のハイレベルのときに当該素子が導通し双方の電位が入力信号のローレベルのときに非導通となるように、設定されている。単独でANDゲートを構成させる場合、両ゲート電位が入力信号のハイレベルのときに当該素子が導通し少なくとも一方の電位が入力信号のローレベルのときに非導通となるように、設定されている。その結果、論理回路の素子数が半減できる。



【特許請求の範囲】

【請求項 1】 基板に支持された半導体層と、当該半導体層内に互いに離れて形成されたソースおよびドレインと、当該ソースおよびドレイン間に位置する半導体層部分の厚さ方向の両側の面にそれぞれ絶縁膜を介して形成され互いに対向する第 1 および第 2 ゲートとを有する半導体論理素子であって、

第 1 入力信号が印加される上記第 1 ゲートのしきい値および第 2 入力信号が印加される上記第 2 ゲートのしきい値は、第 1 および第 2 入力信号の少なくとも一方がハイレベルのときに当該半導体論理素子が導通し双方の入力信号がローレベルのときに当該半導体論理素子が非導通となるように、設定されている半導体論理素子。

【請求項 2】 上記第 1 または第 2 ゲートの一方のしきい値は、他方のゲートに入力される信号がローレベルをとるときに電源電圧の $1/3$ 以下となるように、設定されている請求項 1 に記載の半導体論理素子。

【請求項 3】 基板に支持された半導体層と、当該半導体層内に互いに離れて形成されたソースおよびドレインと、当該ソースおよびドレイン間に位置する半導体層部分の厚さ方向の両側の面にそれぞれ絶縁膜を介して形成され互いに対向する第 1 および第 2 ゲートとを有する半導体論理素子であって、

第 1 入力信号が印加される上記第 1 ゲートのしきい値および第 2 入力信号が印加される上記第 2 ゲートのしきい値は、第 1 および第 2 入力信号の双方がハイレベルのときに当該半導体論理素子が導通し少なくとも一方の入力信号がローレベルのときに当該半導体論理素子が非導通となるように、設定されている半導体論理素子。

【請求項 4】 上記第 2 ゲートの電位が当該第 2 ゲートのしきい値以下のときに、上記第 1 ゲートのしきい値は第 1 入力信号のハイレベルより高く、

上記第 2 ゲートの電位が第 2 入力信号のハイレベルのときに、上記第 1 ゲートのしきい値は第 1 入力信号のローレベルより高く、

上記第 1 ゲートの電位が第 1 入力信号のローレベルのときに、上記第 2 ゲートのしきい値は第 2 入力信号のハイレベルより高く、

上記第 1 ゲートの電位が第 1 入力信号のハイレベルのときに、上記第 2 ゲートのしきい値は電源電圧の $1/3$ 以下である請求項 3 に記載の半導体論理素子。

【請求項 5】 基板に支持された半導体層と、当該半導体層内に互いに離れて形成されたソースおよびドレインと、当該ソースおよびドレイン間に位置する半導体層部分の厚さ方向の両側の面にそれぞれ絶縁膜を介して形成され互いに対向する第 1 および第 2 ゲートとを有する半導体論理素子であって、

第 1 入力信号が印加される上記第 1 ゲートのしきい値および第 2 入力信号が印加される上記第 2 ゲートのしきい値は、第 1 および第 2 入力信号の少なくとも一方がロー

レベルのときに当該半導体論理素子が導通し双方の入力信号がハイレベルのときに当該半導体論理素子が非導通となるように、設定されている半導体論理素子。

【請求項 6】 上記第 1 または第 2 ゲートの一方のしきい値は、他方のゲートに入力される信号がハイレベルをとるときに電源電圧の $1/3$ 以下となるように、設定されている請求項 5 に記載の半導体論理素子。

【請求項 7】 基板に支持された半導体層と、当該半導体層内に互いに離れて形成されたソースおよびドレインと、当該ソースおよびドレイン間に位置する半導体層部分の厚さ方向の両側の面にそれぞれ絶縁膜を介して形成され互いに対向する第 1 および第 2 ゲートとを有する半導体論理素子であって、

第 1 入力信号が印加される上記第 1 ゲートのしきい値および第 2 入力信号が印加される上記第 2 ゲートのしきい値は、第 1 および第 2 入力信号の双方がローレベルのときに当該半導体論理素子が導通し少なくとも一方の入力信号がハイレベルのときに当該半導体論理素子が非導通となるように、設定されている半導体論理素子。

【請求項 8】 上記第 2 ゲートの電位が当該第 2 ゲートのしきい値以上のときに、上記第 1 ゲートのしきい値は第 1 入力信号のローレベルより低く、

上記第 2 ゲートの電位が第 2 入力信号のローレベルのときに、上記第 1 ゲートのしきい値は第 1 入力信号のハイレベルより低く、

上記第 1 ゲートの電位が第 1 入力信号のハイレベルのときに、上記第 2 ゲートのしきい値は第 2 入力信号のローレベルより低く、

上記第 1 ゲートの電位が第 1 入力信号のローレベルのときに、上記第 2 ゲートのしきい値は電源電圧の $1/3$ より高い請求項 7 に記載の半導体論理素子。

【請求項 9】 基板に支持された半導体層と、当該半導体層内に互いに離れて形成されたソースおよびドレインと、当該ソースおよびドレイン間に位置する半導体層部分の厚さ方向の両側の面にそれぞれ絶縁膜を介して形成され互いに対向する第 1 および第 2 ゲートとを有する半導体論理素子を有し、

上記半導体論理素子の上記第 1 および第 2 ゲートがそれぞれ信号入力端子に接続されている論理回路。

【請求項 10】 第 1 入力信号が印加される上記第 1 ゲートのしきい値および第 2 入力信号が印加される上記第 2 ゲートのしきい値は、第 1 および第 2 入力信号の少なくとも一方がハイレベルのときに当該半導体論理素子が導通し双方の入力信号がローレベルのときに当該半導体論理素子が非導通となるように、設定されている請求項 9 に記載の論理回路。

【請求項 11】 第 1 入力信号が印加される上記第 1 ゲートのしきい値および第 2 入力信号が印加される上記第 2 ゲートのしきい値は、第 1 および第 2 入力信号の双方がハイレベルのときに当該半導体論理素子が導通し少なく

とも一方の入力信号がローレベルのときに当該半導体論理素子が非導通となるように、設定されている請求項 9 に記載の論理回路。

【請求項 12】第 1 入力信号が印加される上記第 1 ゲートのしきい値および第 2 入力信号が印加される上記第 2 ゲートのしきい値は、第 1 および第 2 入力信号の少なくとも一方がローレベルのときに当該半導体論理素子が導通し双方の入力信号がハイレベルのときに当該半導体論理素子が非導通となるように、設定されている請求項 9 に記載の論理回路。

【請求項 13】第 1 入力信号が印加される上記第 1 ゲートのしきい値および第 2 入力信号が印加される上記第 2 ゲートのしきい値は、第 1 および第 2 入力信号の双方がローレベルのときに当該半導体論理素子が導通し少なくとも一方の入力信号がハイレベルのときに当該半導体論理素子が非導通となるように、設定されている請求項 9 に記載の論理回路。

【請求項 14】上記半導体論理素子は、単独で論理和の演算回路を構成する請求項 9 に記載の論理回路。

【請求項 15】上記半導体論理素子は、単独で論理積の演算回路を構成する請求項 9 に記載の論理回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、単一の素子でたとえば論理和、論理積の演算が可能な半導体論理素子と、これを用いた論理回路とに関する。

【0002】

【従来の技術】従来、シングルゲート(single gate) MOSFETにより、単位論理回路(論理ゲート回路)を構成していた。

【0003】たとえば、図 11 (B) に示す NOR ゲート回路は、2 つのシングルゲート PMOS トランジスタ M_{p1} 、 M_{p2} と、2 つのシングルゲート NMOS トランジスタ M_{n1} 、 M_{n2} とから構成されていた。つまり、所定のバイアス電圧 $+V_B$ の供給線に PMOS トランジスタ M_{p1} および M_{p2} が互いに直列接続され、PMOS トランジスタ M_{p2} と接地電位との間に、NMOS トランジスタ M_{n1} 、 M_{n2} が互いに並列に接続されている。PMOS トランジスタ M_{p1} と NMOS トランジスタ M_{n1} のゲートが共通接続されて第 1 入力端子をなし、PMOS トランジスタ M_{p2} と NMOS トランジスタ M_{n2} のゲートが共通接続されて第 2 入力端子をなし、PMOS トランジスタ M_{p2} のドレインから出力が取り出されている。

【0004】また、図 12 (B) に示す NAND ゲート回路は、2 つのシングルゲート PMOS トランジスタ M_{p1} 、 M_{p2} と、2 つのシングルゲート NMOS トランジスタ M_{n1} 、 M_{n2} とから構成されていた。つまり、接地電位線に NMOS トランジスタ M_{n2} および M_{n1} が互いに直列接続され、NMOS トランジスタ M_{n1} と

所定のバイアス電圧 $+V_B$ の供給線との間に、PMOS トランジスタ M_{p1} 、 M_{p2} が互いに並列に接続されている。PMOS トランジスタ M_{p1} と NMOS トランジスタ M_{n1} のゲートが共通接続されて第 1 入力端子をなし、PMOS トランジスタ M_{p2} と NMOS トランジスタ M_{n2} のゲートが共通接続されて第 2 入力端子をなし、NMOS トランジスタ M_{n1} のドレインから出力が取り出されている。

【0005】ところで、いわゆるデュアルゲート(dual gate) MOS トランジスタの一種として、支持基板に対し絶縁層分離された SOI (Silicon On Insulator, or, Semiconductor On Insulator) 層の厚さ方向両側にそれぞれゲート絶縁膜を介して 2 つのゲート電極を対向させた構造の半導体素子が知られている。この半導体素子は、絶縁層に埋め込まれた支持基板側のゲート電極(バックゲート)の電位に応じて、対向した表面側のゲート電極(フロントゲート)のしきい値を変化できる可変しきい値素子である。

【0006】この可変しきい値素子が論理回路に適用される場合、論理回路ブロックと電源電圧または接地電位の供給線との間に挿入されて用いられることがある。この場合、導通時にはしきい値を低くして電流駆動能力を高め、非導通時にはしきい値を高くしてオフリーク電流を低減できる高性能な電源供給用のスイッチング素子として用いられる。また、論理回路自体に用いられる場合でも、図 11 (B) または図 12 (B) に示す個々のシングルゲート MOS トランジスタを置き換えることにより、動作時の電流駆動能力の向上とカットオフ時のリーク電流低減との両立を図る目的で用いられていた。

【0007】

【発明が解決しようとする課題】しかし、この従来の可変しきい値素子は、素子自体の性能が向上する利点はあるが、製造プロセスが複雑となることは避けられないことから、論理回路に適用することへの利点が余り大きくなかった。

【0008】本発明は、可変しきい値素子の新しい論理回路への用い方を提案し、これにより、性能向上に加え、論理回路の素子数の削減と回路面積の縮小を図ることを目的とする。

【0009】

【課題を解決するための手段】本発明の第 1 の観点に係る半導体論理素子は、好適には、チャネル導電型が n 型の素子として論理和 (OR) ゲート回路等に適用される。すなわち、基板に支持された半導体層と、当該半導体層内に互いに離れて形成されたソースおよびドレインと、当該ソースおよびドレイン間に位置する半導体層部分の厚さ方向の両側の面にそれぞれ絶縁膜を介して形成され互いに対向する第 1 および第 2 ゲートとを有する半導体論理素子であって、第 1 入力信号が印加される上記第 1 ゲートのしきい値および第 2 入力信号が印加される

上記第2ゲートのしきい値は、第1および第2入力信号の少なくとも一方がハイレベルのときに当該半導体論理素子が導通し双方の入力信号がローレベルのときに当該半導体論理素子が非導通となるように、設定されている。好適に、上記第1または第2ゲートの方のしきい値は、他方のゲートに入力される信号がローレベルをとるときに電源電圧の $1/3$ 以下となるように、設定されている。

【0010】本発明の第2の観点に係る半導体論理素子は、好適には、チャネル導電型がn型の素子として論理積（AND）ゲート回路等に適用される。すなわち、基板に支持された半導体層と、当該半導体層内に互いに離れて形成されたソースおよびドレインと、当該ソースおよびドレイン間に位置する半導体層部分の厚さ方向の両側の面にそれぞれ絶縁膜を介して形成され互いに対向する第1および第2ゲートとを有する半導体論理素子であって、第1入力信号が印加される上記第1ゲートのしきい値および第2入力信号が印加される上記第2ゲートのしきい値は、第1および第2入力信号の双方がハイレベルのときに当該半導体論理素子が導通し少なくとも一方の入力信号がローレベルのときに当該半導体論理素子が非導通となるように、設定されている。好適に、上記第2ゲートの電位が当該第2ゲートのしきい値以下のときに、上記第1ゲートのしきい値は第1入力信号のハイレベルより高く、上記第2ゲートの電位が第2入力信号のハイレベルのときに、上記第1ゲートのしきい値は第1入力信号のローレベルより高く、上記第1ゲートの電位が第1入力信号のローレベルのときに、上記第2ゲートのしきい値は第2入力信号のハイレベルより高く、上記第1ゲートの電位が第1入力信号のハイレベルのときに、上記第2ゲートのしきい値は電源電圧の $1/3$ 以下である。

【0011】本発明の第3の観点に係る半導体論理素子は、好適には、チャネル導電型がp型の素子として論理和（OR）ゲート回路等に適用される。すなわち、基板に支持された半導体層と、当該半導体層内に互いに離れて形成されたソースおよびドレインと、当該ソースおよびドレイン間に位置する半導体層部分の厚さ方向の両側の面にそれぞれ絶縁膜を介して形成され互いに対向する第1および第2ゲートとを有する半導体論理素子であって、第1入力信号が印加される上記第1ゲートのしきい値および第2入力信号が印加される上記第2ゲートのしきい値は、第1および第2入力信号の少なくとも一方がローレベルのときに当該半導体論理素子が導通し双方の入力信号がハイレベルのときに当該半導体論理素子が非導通となるように、設定されている。好適に、上記第1または第2ゲートの方のしきい値は、他方のゲートに入力される信号がハイレベルをとるときに電源電圧の $1/3$ 以下となるように、設定されている。

【0012】本発明の第4の観点に係る半導体論理素子

は、好適には、チャネル導電型がp型の素子として論理積（AND）ゲート回路等に適用される。すなわち、基板に支持された半導体層と、当該半導体層内に互いに離れて形成されたソースおよびドレインと、当該ソースおよびドレイン間に位置する半導体層部分の厚さ方向の両側の面にそれぞれ絶縁膜を介して形成され互いに対向する第1および第2ゲートとを有する半導体論理素子であって、第1入力信号が印加される上記第1ゲートのしきい値および第2入力信号が印加される上記第2ゲートのしきい値は、第1および第2入力信号の双方がローレベルのときに当該半導体論理素子が導通し少なくとも一方の入力信号がハイレベルのときに当該半導体論理素子が非導通となるように、設定されている。好適に、上記第2ゲートの電位が当該第2ゲートのしきい値以上のときに、上記第1ゲートのしきい値は第1入力信号のローレベルより低く、上記第2ゲートの電位が第2入力信号のローレベルのときに、上記第1ゲートのしきい値は第1入力信号のハイレベルより低く、上記第1ゲートの電位が第1入力信号のハイレベルのときに、上記第2ゲートのしきい値は第2入力信号のローレベルより低く、上記第1ゲートの電位が第1入力信号のローレベルのときに、上記第2ゲートのしきい値は電源電圧の $1/3$ より高い。

【0013】前記第1および第3の観点に係る半導体論理素子では、前記第1および第2ゲートのしきい値が同じになるように、また、双方のゲートに印加される入力信号がともに不活性レベルのときのみ素子が導通しないように、構造パラメータが設定されている。したがって、第1および第2ゲートを2入力としたORゲート回路が単独の素子で構成できる。また、導通時にはしきい値が低下して電流駆動能力が向上し、非導通時にはしきい値が向上してオフリーク電流が低減される。

【0014】前記第2および第3に係る半導体論理素子では、前記第1および第2ゲートのしきい値の変化幅が異なり、また、片方のゲートに入力信号の活性レベルを印加しただけでは素子が導通せず双方のゲートが活性レベルのときのみ導通するように、構造パラメータが設定されている。したがって、第1および第2ゲートを2入力としたANDゲート回路が単独の素子で構成できる。また、導通時にはしきい値が低下して電流駆動能力が向上し、非導通時にはしきい値が向上してオフリーク電流が低減される。

【0015】本発明に係る論理回路は、基板に支持された半導体層と、当該半導体層内に互いに離れて形成されたソースおよびドレインと、当該ソースおよびドレイン間に位置する半導体層部分の厚さ方向の両側の面にそれぞれ絶縁膜を介して形成され互いに対向する第1および第2ゲートとを有する半導体論理素子を有し、上記半導体論理素子の上記第1および第2ゲートがそれぞれ信号入力端子に接続されている。好適に、上記半導体論理素

子は、前述した4つの観点の半導体論理素子の何れかである。

【0016】

【発明の実施の形態】図1は、本発明の実施形態に係る半導体論理素子の回路記号を示す図である。本実施形態に係る半導体論理素子は、2つのゲートと、共通のソースおよびドレインとを有するデュアルゲート(dual gate)型の絶縁ゲート電界効果トランジスタである。図1

(A)、(C)に示す半導体論理素子NMOS1、NMOS3は、チャネルの導電型がn型である。また、図1(B)、(D)に示す半導体論理素子PMOS2、PMOS4は、チャネルの導電型がp型である。

【0017】このうち図1(A)、(B)に示す半導体論理素子NMOS1、PMOS2は、一方のゲートを制御端子として使用した場合と、他方のゲートを制御端子として使用した場合とで、しきい値およびその変化の仕方が対称な特性を有し、以下、“対称型の論理素子”という。本実施形態では、この対称型の論理素子1つで論理和を演算するためのORゲートを構成する。

【0018】これに対し、図1(C)、(D)に示す半導体論理素子NMOS2、PMOS4は、一方のゲートを制御端子として使用した場合と、他方のゲートを制御端子として使用した場合とで、しきい値およびその変化の仕方が非対称な特性を有し、以下、“非対称型の論理素子”という。本実施形態では、詳細は後述するが、2つのゲート電極と半導体活性層との間に介在するゲート絶縁膜に膜厚差を設けることにより、この非対称性を実現している。回路記号上、ゲート絶縁膜がより厚い側に斜線を付けて対称型の論理素子と区別している。本実施形態では、この非対称型の論理素子1つで論理積を演算するためのANDゲートを構成する。

【0019】図2に、非対称型の論理素子を例として、本実施形態に係る半導体論理素子の構造を断面図で示す。図2に示す論理素子1において絶縁層2は、とくに図示しないが、支持基板上に接着層を介して形成されている。絶縁層2上に、裏面ゲート絶縁膜3を介して半導体活性層4が形成されている。半導体活性層4は、たとえば厚さが25nm程度の単結晶シリコンからなり、チャネル導電型とは逆の導電型を有する不純物が比較的低濃度に導入されている。絶縁層2内に、裏面ゲート電極5が埋め込まれている。また、半導体活性層4の表面側に、表面ゲート絶縁膜6を介して表面ゲート電極7が形成されている。裏面ゲート電極5および表面ゲート電極7は、たとえばドーパド・ポリシリコン(doped polycrystalline silicon)またはドーパド・メタルシリサイド(doped metal silicide)からなり、半導体活性層4およびゲート絶縁膜3、6を介して互いに対向している。ゲート絶縁膜3、6は、たとえば酸化シリコンまたは窒化酸化シリコンからなる。裏面ゲート絶縁膜3の膜厚はたとえば10nm程度、表面ゲート絶縁膜6の膜厚はたと

えば5nm程度である。

【0020】ゲート電極5、7より外側の半導体活性層部分に、チャネルと同じ導電型の不純物が比較的に高濃度に導入され、これによりソース不純物領域4aおよびドレイン不純物領域4bが形成されている。これらソース・ドレイン不純物領域4a、4bから、それぞれ図示しない導電層によってソース端子またはドレイン端子が素子外面に引き出されている。また、裏面ゲート電極5から第2入力信号端子が、表面ゲート電極7から第1信号入力端子がそれぞれ素子外面に引き出されている。

【0021】図3～図9は、半導体論理素子の製造過程における断面図である。図3において、たとえば単結晶シリコンウエハ等からなる被研磨基板10を用意し、その上にレジストパターンR1を形成して、これをマスクに被研磨基板10の表面をエッチング(たとえばRIE(Reactive Ion Etching))することによって、後で半導体活性層となる凸部10aを形成する。凸部10aの段差は、たとえば25nm程度とする。

【0022】レジストパターンR1を除去後、図4において、たとえば、熱酸化法によって、被研磨基板10の凸部10aが形成された面の表面に酸化シリコンからなる裏面ゲート絶縁膜3を10nmほど形成する。この熱酸化は、たとえば、常圧の縦型酸化炉を用い、導入ガス $H_2 : O_2 = 1 : 1$ 、炉内温度950℃の条件にて行う。

【0023】図5において、たとえば、裏面ゲート電極となるドーパド・ポリシリコンまたはドーパド・タンゲステンシリサイド(doped WSi_x)を150nmほど堆積する。この裏面ゲート電極となる膜の上に図示しないレジストパターンを形成し、これをマスクに下地膜をエッチング(たとえばRIE)する。これにより、被研磨基板10の凸部10a上に、裏面ゲート絶縁膜3を介して裏面ゲート電極5が形成される。

【0024】図6において、たとえば、酸化シリコンからなる絶縁層2を比較的厚く堆積して、裏面ゲート電極5を絶縁層中に埋め込む。また、絶縁層2上に、たとえば、ポリシリコンを堆積し、表面を研磨することにより接着層11を形成する。

【0025】図7において、たとえば、接着層11の平坦化面側から被研磨基板10を、予め用意したシリコンウエハなどからなる支持基板20と張り合わせ、熱処理する。このときの熱処理は、たとえば、酸素雰囲気中の電気炉内で1100℃、60minの条件にて行う。

【0026】このようにして形成した張り合わせSOI基板に対し、エッジ・グラインディング(edge grinding)を行った後、さらに被研磨基板10の裏面側から研削し、研磨(たとえばCMP(Chemical Mechanical Polishing))する。CMPでは、被研磨基板10の凸部10a間に裏面ゲート絶縁膜3が表出した時点で、これがストッパとして機能する。したがって、以後は余り研磨が

進まないことになり、研磨の終点が検出される。この選択研磨によって被研磨基板10の凸部10aが互いに分離される。その後、この分離された凸部10aに対し、所定の不純物を、たとえばイオン注入法により必要量導入する。PMOSトランジスタとNMOSトランジスタが混在する場合には、このときレジストパターン形成とイオン注入を2度繰り返すことによって、異なるイオン種の打ち分けを行う。その後の活性化アニーリングによって、図8に示すように、半導体活性層4が形成される。

【0027】図9において、たとえば半導体活性層4の表面を熱酸化して、厚さ5nmほどの表面ゲート絶縁膜6を形成する。表面ゲート絶縁膜6上に、表面ゲート電極となるドーパド・ポリシリコンまたはドーパド・タングステンシリサイドを150nmほど堆積する。この表面ゲート電極となる膜の上に図示しないレジストパターンを形成し、これをマスクに下地膜をエッチング（たとえばRIE）する。これにより、表面ゲート絶縁膜6上の裏面ゲート電極5と対向する位置に表面ゲート電極7が形成される。

【0028】その後は、表面ゲート電極のエッチングマスクとして用いたレジストパターンを残したままイオン注入を行って、所定の不純物を半導体活性層4内に導入した後、活性化アニールを行って、図1に示すソース・ドレイン不純物領域4a、4bを形成する。また、図示しない保護酸化膜をたとえば500nmほど堆積し、電極引き出しのための導電層を適宜形成して、これにより当該半導体論理素子1を完成させる。

【0029】なお、本発明は図10に断面構造の一例を示すような、裏面ゲートをいわゆるバルク型とした半導体素子にも適用可能である。すなわち、図10においては、半導体基板30とpn接合分離されたウエル31を基板表面に設け、ウエル31上に電極32をオーミック接触させ、電極32に印加される入力信号の電圧値に応じて、表面ゲート電極7を制御電極とするトランジスタのしきい値を制御する。また、図2のSOI型の分離構造において、ソース・ドレイン不純物領域4a、4bを半導体活性層4の表面から厚さ途中まで形成し、絶縁層内に埋め込まれた裏面ゲート電極に代えて半導体活性層4上に電極をオーミック接触させ、この電極を第2の信号入力電極として用いてもよい。

【0030】ところが、これらオーミック接触型の制御電極では無効電流が流れて電力消費が大きくなり、またチャネル制御性も劣ることから、第2の信号入力電極としては図2のような絶縁ゲート型の裏面ゲート電極5が望ましい。また、絶縁ゲート型の裏面ゲート電極5であっても、半導体活性層厚などの素子パラメータによっては部分空乏型も可能であるが、チャネルを直接、電界制御可能で制御性が高い点で半導体活性層の厚さ全域を空乏化して動作させる完全空乏型が望ましい。

【0031】つぎに、完全空乏型の論理素子を例として、しきい値など設定条件について説明する。完全空乏型のデュアルゲートMOSFETのしきい値は、次式（1）および（2）で表される。

【0032】

【数1】

$$V_{th} = \phi_s - V_{FB} + \frac{1}{C_{ox} \left(\frac{1}{C_{si}} + \frac{1}{C_{oxb}} \right)} \left\{ \phi_s - (V_{gb} + V_{FBb}) + \frac{Q_{si}}{C_{oxb}} + \frac{Q_{si}}{2C_{si}} \right\}$$

$$= \phi_s - V_{FB} + \frac{T_{ox}}{0.333T_{si} + T_{oxb}} \left\{ \phi_s - (V_{gb} + V_{FBb}) + \frac{Q_{si}}{C_{oxb}} + \frac{Q_{si}}{2C_{si}} \right\} \dots (1)$$

【数2】

$$V_{thb} = \phi_{sb} - V_{FBb} + \frac{1}{C_{oxb} \left(\frac{1}{C_{si}} + \frac{1}{C_{ox}} \right)} \left\{ \phi_{sb} - (V_g + V_{FB}) + \frac{Q_{si}}{C_{ox}} + \frac{Q_{si}}{2C_{si}} \right\}$$

$$= \phi_{sb} - V_{FBb} + \frac{T_{oxb}}{0.333T_{si} + T_{ox}} \left\{ \phi_{sb} - (V_g + V_{FB}) + \frac{Q_{si}}{C_{ox}} + \frac{Q_{si}}{2C_{si}} \right\} \dots (2)$$

【0033】ここで、 ϕ_s と ϕ_{sb} はシリコン活性層（半導体活性層4）の表面ポテンシャルと裏面ポテンシャル、 V_{FB} と V_{FBb} はシリコン活性層の表面と裏面のフラットバンド電圧、 C_{ox} 、 C_{oxb} 、 C_{si} はそれぞれ表面ゲート、裏面ゲートまたはシリコン活性層の容量、 T_{ox} 、 T_{oxb} 、 T_{si} はそれぞれ表面ゲート酸化膜（表面ゲート絶縁膜6）、裏面ゲート酸化膜（裏面ゲート絶縁膜3）、シ

リコン活性層の膜厚、 Q_{si} はシリコン活性層内の不純物量、 V_g と V_{gb} は表面ゲート電極と裏面ゲート電極の印加電圧、 V_{th} と V_{thb} は表面チャネルMOSFETと裏面チャネルMOSFETのしきい値をそれぞれ示す。

【0034】上記式（1）および式（2）から、裏面ゲート電極への印加電圧の変化量 ΔV_{gb} に対する表面チャネルMOSFETのしきい値の変化量 ΔV_{th} は次式

(3)により、表面ゲート電極への印加電圧の変化量 ΔV_g に対する裏面チャネルMOSFETのしきい値の変化量 ΔV_{thb} は次式(4)により、それぞれ表される。

【0035】

【数3】

$$\Delta V_{th} = - \frac{T_{ox}}{0.333T_{si} + T_{oxb}} \Delta V_{gb} \quad \dots (3)$$

【数4】

$$\Delta V_{thb} = - \frac{T_{oxb}}{0.333T_{si} + T_{ox}} \Delta V_g \quad \dots (4)$$

【0036】式(4)におけるしきい値の変化率は、式(3)におけるしきい値の変化率において表面ゲート絶縁膜厚 T_{ox} と裏面ゲート絶縁膜厚 T_{oxb} を入れ替えることにより得られる。したがって、対称型の論理素子は、両ゲート絶縁膜厚を同じとすることにより実現できる。

【0037】これに対し、たとえば論理積(AND)を演算するための論理素子は、両ゲート絶縁膜厚が同じでは実現できない。

【0038】非対称型の論理素子を用いてANDゲートの機能を実現するには、一方のMOSFETのゲート電極に印加される入力信号の電圧値がチャネルをオフするレベルならば、他方のMOSFETのチャネルをオン、オフするための入力信号の電圧値にかかわらず、常にチャネルが形成されないことが必要である。したがって、他方のMOSFETのゲート印加電圧に対する一方のMOSFETのしきい値の変化量を、一方のMOSFETのゲート印加電圧に対する他方のMOSFETのしきい値の変化量より充分に大きくする必要がある。その結果、しきい値の変化量を大きくしたい他方のMOSFETのゲート絶縁膜厚をより大きく設定することが要件となる。図2に示す構造のデュアルゲートMOSFET1では、基板張り合わせ時の加熱の影響で薄膜化が困難な埋め込みゲート側の裏面ゲート絶縁膜3をより厚く設定し、 $T_{oxb} > T_{ox}$ としている。

【0039】いま、入力信号のハイレベルを電源電圧 V

$$\begin{aligned} & T_{ox} / (0.333 \times T_{si} + T_{oxb}) \\ &= 5 / (8.325 + 10.7) \sim 5 / (8.325 + 9.3) \\ &= 0.26 \sim 0.28 \end{aligned} \quad \dots (7)$$

【0046】前記した式(5-2)および式(5-3)を用いると、表面チャネルMOSFETのしきい値 V_{th} について関係式が得られ、これを初期しきい値 V_{th0} についてま

$$\begin{aligned} V_{th} &= V_{th0} - (0.26 \sim 0.28) \times (0.2 \sim 0.3) \times V_{DD} > V_{DD} \\ &= V_{th0} - (0.052 \sim 0.084) \times V_{DD} > V_{DD} \\ V_{th0} &> (1.06 \sim 1.09) \times V_{DD} \end{aligned} \quad \dots (8)$$

【0048】表1に、対称型および非対称型の論理素子についてゲート絶縁膜厚とシリコン活性層厚とをまとめて示す。また、チャネルが形成されるシリコン活性層の不純物濃度はpチャネル型、nチャネル型ともに 5×1

DD、ローレベルを接地電位0Vとしたときに、裏面チャネルMOSFETのしきい値の条件は次式(5-1)および(5-2)で表される。また、表面チャネルMOSFETのしきい値の条件は次式(5-3)で表される。

【0040】

【数5】

$$V_{thb0} > V_{DD} \quad \dots (5-1)$$

$$V_{thb} = (0.2 \sim 0.3) V_{DD} \quad \dots (5-2)$$

$$\text{at } V_g = V_{DD}$$

$$V_{th} > V_{DD} \quad \dots (5-3)$$

【0041】ここで、suffix“0”は対向するゲートの印加電圧が0Vであることを示す。なお、上記式(5-2)は、電流駆動能力とオフリーク電流の観点から、裏面チャネルMOSFETの動作時のしきい値の最適範囲を規定したものである。

【0042】以下、具体的にシリコン活性層厚 T_{si} が25nm、表面ゲート絶縁膜厚 T_{ox} が5nmとしたときの、裏面ゲート絶縁膜厚 T_{oxb} および表面チャネルMOSFETの初期しきい値の最適範囲を求める。いま、裏面チャネルMOSFETのしきい値変化率を0.7~0.8Vとし、前述の式(4)における変化率から裏面ゲート絶縁膜厚 T_{oxb} を求めると、次式(6)の如くなる。

【0043】

【数6】

$$\begin{aligned} & T_{oxb} / (0.333 \times T_{si} + T_{ox}) \\ &= T_{oxb} / (0.333 \times 25 + 5) \\ &= 0.7 \sim 0.8 \\ T_{oxb} &= 9.3 \sim 10.7 \quad \dots (6) \\ & (\approx 2 T_{ox}) \end{aligned}$$

【0044】この T_{oxb} の値を前述の式(3)における変化率に代入すると、表面チャネルMOSFETのしきい値変化率の範囲が次式(7)の如く求まる。

【0045】

【数7】

とめると次式(8)が求まる。

【0047】

【数8】

$0.14 / \text{cm}^3$ であり、ゲート電極材料はドーパド・ポリシリコンまたはドーパド・メタルシリサイドとした。ゲート電極材料および不純物添加によるフェルミレベルのシフト量を次表2にまとめて示す。

【0049】

【表1】

| | T_{ox} | T_{si} | T_{oxb} |
|-----------|----------|----------|-----------|
| 対称型の論理素子 | 5 nm | 25 nm | 5 nm |
| 非対称型の論理素子 | 5 nm | 25 nm | 10 nm |

【表2】

| | | Front Gate | | Back Gate | |
|----------|------|------------------------|---------|----------------|----------|
| | | 材料 | シフト量 | 材料 | シフト量 |
| N-MOSFET | 対称型 | Metal Silicide | n側へ0.2V | 同左 | |
| | 非対称型 | P ⁺ Poly-Si | p側へ0.6V | Metal Silicide | n側へ0.15V |
| P-MOSFET | 対称型 | Metal Silicide | p側へ0.2V | 同左 | |
| | 非対称型 | N ⁺ Poly-Si | n側へ0.6V | Metal Silicide | p側へ0.15V |

【0050】電源電圧 V_{DD} を1Vとした場合、このような条件下で作製された対称型の論理素子（デュアルゲートMOSFET）のしきい値を次表3に、非対称型の論

理素子のしきい値を次表4にまとめて示す。

【0051】

【表3】

| | 条 件 | NMOSFET | PMOSFET |
|------------|---------------------|---------|---------|
| V_{th0} | $V_{gb} = 0V$ | 0.29V | -0.29V |
| V_{th} | $V_{gb} = V_{thb0}$ | 0.18V | -0.18V |
| V_{th} | $V_{gb} = V_{thb}$ | 0.24V | -0.21V |
| V_{thb0} | $V_g = 0V$ | 0.29V | -0.29V |
| V_{thb} | $V_g = V_{th0}$ | 0.18V | -0.18V |
| V_{thb} | $V_g = V_{th}$ | 0.24V | -0.21V |

【表4】

| | 条 件 | NMOSFET | PMOSFET |
|------------|--------------------|---------|---------|
| V_{th0} | $V_{gb} = 0V$ | 1.08V | -1.08V |
| V_{th} | $V_{gb} = V_{dd}$ | 0.81V | -0.81V |
| V_{th} | $V_{gb} = V_{thb}$ | 1.01V | -1.01V |
| V_{thb0} | $V_g = 0V$ | 1.02V | -1.02V |
| V_{thb} | $V_g = V_{dd}$ | 0.27V | -0.27V |

【0052】表3に示す対称型の論理素子の論理動作を、NMOSFETを例として説明すると、たとえば、入力信号のローレベルを接地電位0V、ハイレベルを0.18Vとすると、2つの入力信号がともにローレベルのときは表面および裏面チャネルはともにオフする。また、何れか一方の入力信号がローレベル、他方がハイレベルのときは、ゲートにローレベルが印加された方のチャネルのみオンする。さらに、両入力信号がともにハイレベルの場合は、表面チャネルのみオンする。したがって、両入力信号がともにローレベルのときのみ非導通、片方でもハイレベルをとると導通となり、これによりORゲートが実現できる。この場合、たとえば表3のNMOSFETでは、初期しきい値 V_{th0} と動作時の V_{th} は50mV異なり、オフリーク電流が0.5桁以上低減される。

【0053】一方、表4に示す非対称型の論理素子では、たとえばNMOSFETの場合、入力信号のローレベルを接地電位0V、ハイレベルを電源電圧 V_{DD} （1

V）とすると、2つの入力信号がともにローレベルのときは表面および裏面チャネルはともにオフし、ともにハイレベルのときは両チャネルがともにオンする。また、何れか一方の入力信号がローレベル、他方がハイレベルのときは、両チャネルともオフのままとなる。したがって、両入力信号がともにハイレベルのときのみ導通し、片方でもローレベルをとると非導通となり、これによりANDゲートが実現できる。この場合、初期しきい値 V_{th0} 、 V_{thb0} が大きくとれるので、オフリーク電流が7桁以上の大幅に低減される。

【0054】図11（A）の回路記号で示すNORゲート回路は、従来では図11（B）に示すように、2つのPMOSTランジスタ M_{p1} 、 M_{p2} と、2つのNMOSTランジスタ M_{n1} 、 M_{n2} とから構成されていた。つまり、所定のバイアス電圧+VBの供給線にPMOSTランジスタ M_{p1} および M_{p2} が互いに直列接続され、PMOSTランジスタ M_{p2} と接地電位との間に、NMOSTランジスタ M_{n1} 、 M_{n2} が互いに並列に接

続されている。PMOSTランジスタMp1とNMOSTランジスタMn1のゲートが共通接続されて第1入力端子をなし、PMOSTランジスタMp2とNMOSTランジスタMn2のゲートが共通接続されて第2入力端子をなす。PMOSTランジスタMp2のドレインから出力が取り出されている。

【0055】本実施形態では、同じ機能の回路を、デュアルゲートPMOSTランジスタPMOS4（図1（D））とデュアルゲートNMOSTランジスタNMOS1（図1（A））の2素子から構成している。つまり、所定のバイアス電圧+VBの供給線と接地電位との間に、非対称型のデュアルゲートPMOSTランジスタPMOS4と対称型のデュアルゲートNMOSTランジスタNMOS1が直列接続され、たとえば、表面ゲート電極同士を共通接続して第1入力端子とし、裏面ゲート電極同士を共通接続して第2入力端子としている。出力は、デュアルゲートMOSTランジスタの接続中点から得ている。

【0056】図12（A）の回路記号で示すNANDゲート回路は、従来では図12（B）に示すように、2つのPMOSTランジスタMp1、Mp2と、2つのNMOSTランジスタMn1、Mn2とから構成されていた。つまり、接地電位線にNMOSTランジスタMn2およびMn1が互いに直列接続され、NMOSTランジスタMn1と所定のバイアス電圧+VBの供給線との間に、PMOSTランジスタMp1、Mp2が互いに並列に接続されている。PMOSTランジスタMp1とNMOSTランジスタMn1のゲートが共通接続されて第1入力端子をなし、PMOSTランジスタMp2とNMOSTランジスタMn2のゲートが共通接続されて第2入力端子をなす。NMOSTランジスタMn1のドレインから出力が取り出されている。

【0057】本実施形態では、同じ機能の回路を、デュアルゲートPMOSTランジスタPMOS2（図1（B））とデュアルゲートNMOSTランジスタNMOS3（図1（C））の2素子から構成している。つまり、所定のバイアス電圧+VBの供給線と接地電位との間に、対称型のデュアルゲートPMOSTランジスタPMOS2と非対称型のデュアルゲートNMOSTランジスタNMOS3が直列接続され、たとえば、表面ゲート電極同士を共通接続して第1入力端子とし、裏面ゲート電極同士を共通接続して第2入力端子としている。出力は、デュアルゲートMOSTランジスタの接続中点から得ている。

【0058】このような構成の論理回路は、たとえばXORゲートのほか、多入力論理ゲートであってもよい。入力数が偶数の場合は、従来に比べ素子数が半減する。また、入力数が奇数の場合は、従来に比べ素子数が（半数+1）に低減される。何れの場合においても、裏面ゲート電極を埋め込みタイプとすることで回路専有面積を

従来に比べほぼ半減できる。このような利点によって、従来の回路設計技術に変更を加えることなく、論理回路を構成する素子数の削減ができ、高集積化が可能となる。また、可変しきい値特性により、付加回路を加えることなくオフリーク電流の低減ができる。

【0059】

【発明の効果】本発明に係る半導体論理素子および論理回路によれば、従来2素子で構成されていたORゲート或いはANDゲート等の基本論理ゲートを、単一の可変しきい値素子で置き換えることができ、それだけ素子数が低減される。また、回路専有面積も大幅に削減され、論理回路の集積度向上が容易に達成される。各トランジスタの電流駆動能力が向上し、オフリーク電流が低減されることから、回路特性自体も向上する。

【図面の簡単な説明】

【図1】本発明の実施形態に係る半導体論理素子の回路記号を示す図である。

【図2】非対称型の論理素子を例として、本実施形態に係る半導体論理素子の構造を示す断面図である。

【図3】半導体論理素子の製造において、被研磨基板の凸部形成後を示す断面図である。

【図4】図3に続く、裏面ゲート絶縁膜の形成後を示す断面図である。

【図5】図4に続く、裏面ゲート電極の形成後を示す断面図である。

【図6】図5に続く、接着層の平坦化後を示す断面図である。

【図7】図6に続く、基板張り合わせ後を示す断面図である。

【図8】図7に続く、被研磨基板の研磨後を示す断面図である。

【図9】図8に続く、表面ゲート電極の形成後を示す断面図である。

【図10】本発明が適用可能な他の構造例を示す、裏面ゲートをいわゆるバルク型とした半導体素子の断面図である。

【図11】本発明のNORゲート回路の記号および構成を、従来回路の構成とともに示す図である。

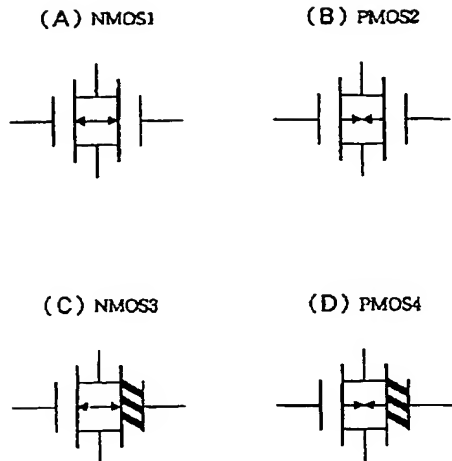
【図12】本発明のNANDゲート回路の記号および構成を、従来回路の構成とともに示す図である。

【符号の説明】

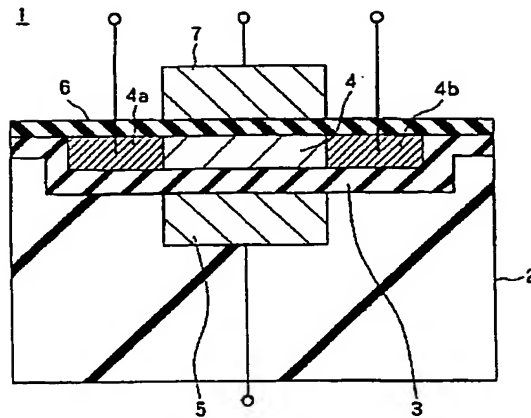
1…デュアルゲートMOSTランジスタ（半導体論理素子）、2…被研磨基板、3…裏面ゲート絶縁膜、4…シリコン活性層（半導体活性層）、4a、31a…ソース不純物領域、4b、31b…ドレイン不純物領域、5…裏面ゲート電極、6…表面ゲート絶縁膜、7…表面ゲート電極、10…被研磨基板、10a…凸部、11…接着層、20…支持基板、30…半導体基板、31…ウェル、32…電極、NMOS1、PMOS2…対称型の論理素子、NMOS3、PMOS4…非対称型の論理素子

子、R1…レジストパターン。

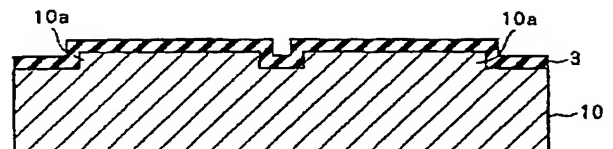
【図1】



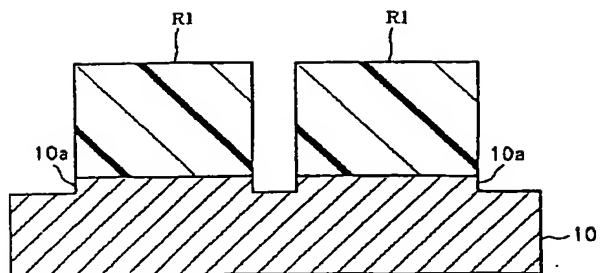
【図2】



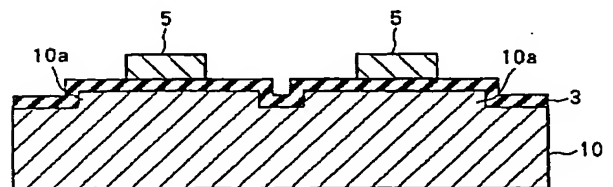
【図4】



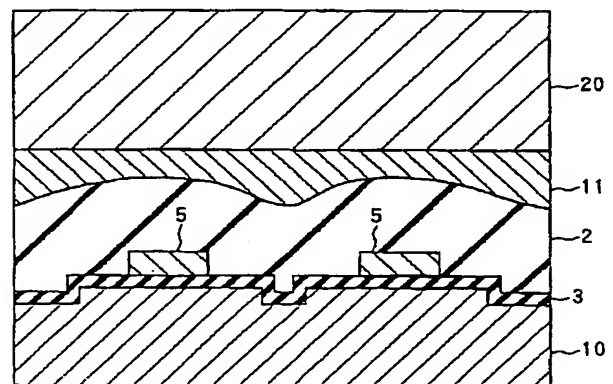
【図3】



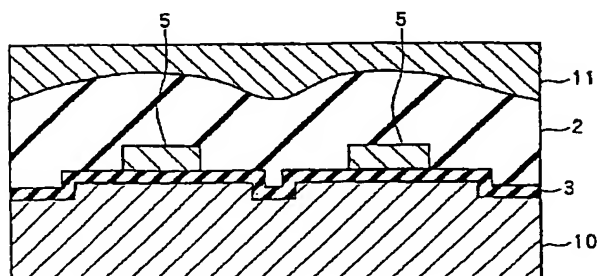
【図5】



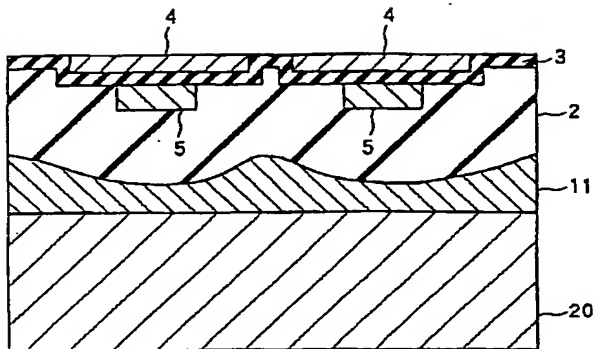
【図7】



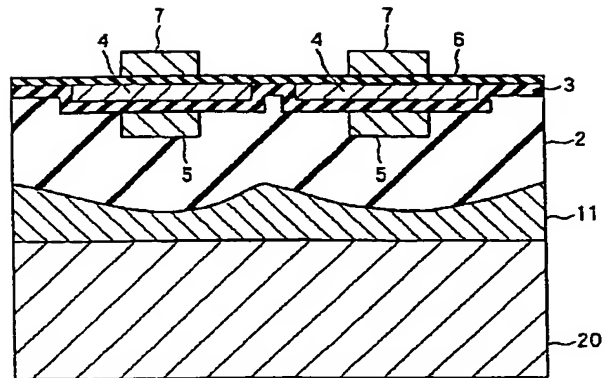
【図6】



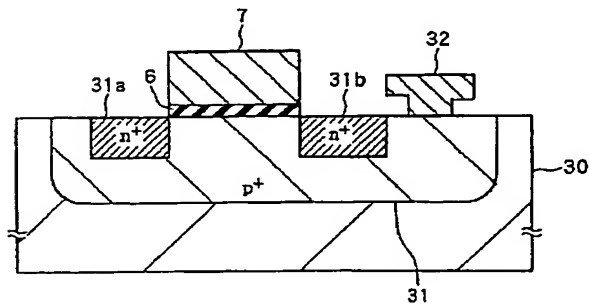
【図 8】



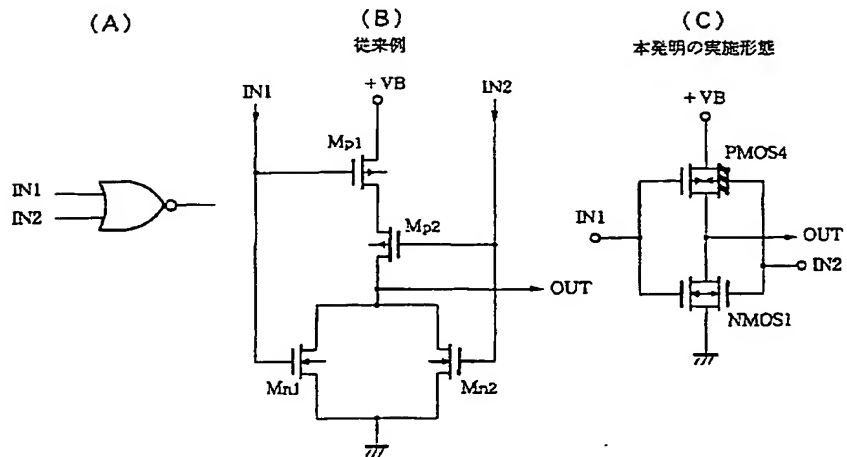
【図 9】



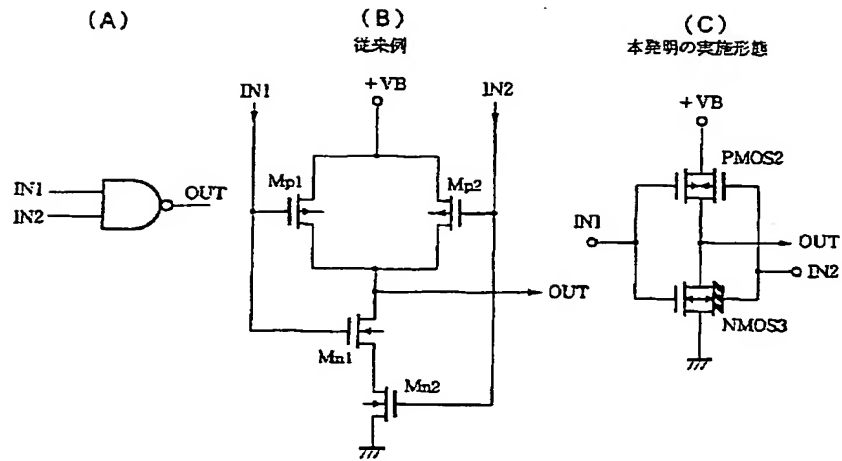
【図 10】



【図 11】



【図 12】



フロントページの続き

Fターム(参考) 5F110 AA04 AA06 AA08 AA18 BB04
 CC02 DD13 EE05 EE09 EE22
 EE28 EE30 FF02 FF04 FF23
 GG02 GG12 NN04 NN23 QQ12
 QQ17 QQ19 QQ30
 5J042 AA10 BA19 CA09 CA22 CA23
 DA01 DA06
 5J056 AA03 BB49 BB52 BB57 CC00
 DD13 DD28 EE11 FF09 GG14
 KK02